

18093

第7部門第2区分

全11頁

(19)日本国特許庁 (JP)

(12)公表特許公報 (A)

(11)特許出願公表番号

特表平10-506230

(43)公表日 平成10年(1998)6月16日

(51)Int.Cl.<sup>6</sup>H 01 L 27/14  
A 61 B 6/00  
G 01 T 1/00  
1/24  
H 04 N 5/33

識別記号

3 0 0

F I

H 01 L 27/14  
A 61 B 6/00  
G 01 T 1/00  
1/24  
H 04 N 5/33K  
3 0 0 S  
B

審査請求 未請求 予備審査請求 有 (全29頁)

(21)出願番号 特願平8-505322  
 (86) (22)出願日 平成6年(1994)7月27日  
 (85)翻訳文提出日 平成9年(1997)1月27日  
 (86)国際出願番号 PCT/CA94/00407  
 (87)国際公開番号 WO96/03773  
 (87)国際公開日 平成8年(1996)2月8日  
 (81)指定国 E P (AT, BE, CH, DE,  
 DK, ES, FR, GB, GR, IE, IT, LU, M  
 C, NL, PT, SE), CA, JP, US

(71)出願人 リットン システムズ カナダ リミテッド

カナダ オンタリオ エム9ダブリュー  
5エイ7 レックスデイル シティーヴィ  
ュー ドライヴ 25

(72)発明者 ヒューアン ツォン  
 カナダ オンタリオ エム9エイ 4エッ  
 クス6 エトビコーグ コードヴァ アベ  
 ニュー 50-#2804  
 (74)代理人 弁理士 中村 稔 (外6名)

(54)【発明の名称】放射線像形成パネル

## (57)【要約】

入射放射線を電荷に直接変換するための容量性結合の放射線検出器と、発生された電荷を蓄積するための蓄積キャバシタと、この蓄積キャバシタに蓄積された電荷を周期的に出力するための読み出しスイッチと、放射線検出器を周期的にリセットするためのリセットスイッチとを備えた放射線像形成システム。

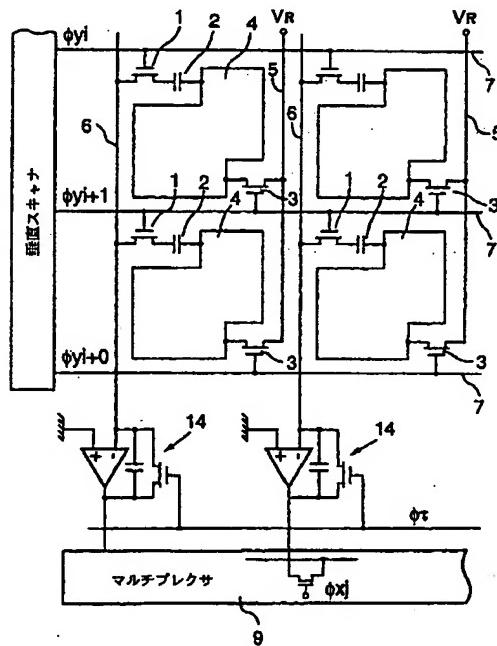


FIG.3.

## 【特許請求の範囲】

1. a) 入射する放射線を電荷に直接変換するための容量性結合の放射線検出手段と、  
b) 上記電荷を蓄積するための蓄積キャバシタ手段と、  
c) 上記蓄積キャバシタ手段に蓄積された上記電荷を周期的に出力するための読み出し手段と、  
d) 上記容量性結合の放射線検出手段を周期的にリセットするためのリセット手段とを備えたことを特徴とする放射線像形成システム。
2. 上記容量性結合の放射線検出手段は、高電圧DCバイアスされたa-S<sub>e</sub>フィルムより成る請求項1に記載の像形成システム。
3. 上記a-S<sub>e</sub>フィルムは、約300μm厚みである請求項2に記載の像形成システム。
4. 上記蓄積キャバシタ手段は、上記a-S<sub>e</sub>フィルムに隣接する第1の電極と、この第1の電極と反対の第2の電極と、これら第1電極と第2電極との間の誘電体層とを含む請求項2に記載の像形成システム。
5. 上記容量性結合の放射線検出手段は、高電圧DCバイアスされたa-S<sub>i</sub>フィルムより成る請求項1に記載の像形成システム。
6. 上記リセット手段は、薄膜トランジスタ(TFT)を含む請求項1に記載の像形成システム。
7. 上記のリセット手段は、ダイオードを含む請求項1に記載の像形成システム。
8. 上記リセット手段は、金属一絶縁体一金属(MIM)トランジスタを含む請求項1に記載の像形成システム。
9. 上記リセット手段は、金属一絶縁体一半導体(MIS)トランジスタを含む請求項1に記載の像形成システム。
10. 上記ダイオードは、アモルファシリコンp-i-nダイオードである請求項7に記載の像形成システム。
11. 上記読み出し手段は、薄膜トランジスタ(TFT)を含む請求項1に記載の像形成システム。

上記電荷がそこから転送された後にリセットするための複数のリセットスイッチ手段とを備えたことを特徴とする放射線像形成システム。

17. 上記容量性結合の放射線検出手段は、高電圧DCバイアスされたa-S<sub>e</sub>フィルムより成る請求項16に記載の放射線像形成システム。

18. 上記a-S<sub>e</sub>フィルムは、約300μm厚みである請求項17に記載の像形成システム。

19. 上記ピクセル電極手段は、上記a-S<sub>e</sub>フィルムに隣接する第1の電極と、この第1の電極と反対の第2の電極と、これら第1電極と第2電極との間の誘電体層とを含む請求項17に記載の像形成システム。

20. 上記容量性結合の放射線検出手段は、高電圧DCバイアスされたa-S<sub>i</sub>フィルムより成る請求項16に記載の像形成システム。

21. 上記リセット手段の各々は、薄膜トランジスタ(TFT)を含む請求項16に記載の像形成システム。

22. 上記のリセット手段の各々は、ダイオードを含む請求項16に記載の像形成システム。

23. 上記リセット手段の各々は、金属一絶縁体一金属(MIM)トランジスタを含む請求項16に記載の像形成システム。

24. 上記リセット手段の各々は、金属一絶縁体一半導体(MIS)トランジスタを含む請求項16に記載の像形成システム。

25. 上記ダイオードは、アモルファシリコンp-i-nダイオードである請求項22に記載の像形成システム。

26. 上記a-S<sub>e</sub>フィルムの上に横たわるA1層を更に備え、上記a-S<sub>e</sub>フィルムは、このA1層と上記第1電極との間に印加される高いDC電圧により高電圧DCバイアスされる請求項19に記載の像形成システム。

27. 上記A1層と上記a-S<sub>e</sub>フィルムの中間にCeO<sub>2</sub>のブロッキング層を更に備えた請求項26に記載の像形成システム。

28. 上記TFT読み出しスイッチ手段の各々は、CdSe半導体領域で形成される請求項16に記載の像形成手段。

29. 上記TFT読み出しスイッチ手段の各々は、a-S<sub>i</sub>半導体領域で形成

12. 上記読み出し手段は、更に、上記第1の電極に接続されたドレイン端子と、データ読み出しラインに接続されたソース端子と、読み出し制御信号源に接続されたゲート端子とを有する第1の薄膜トランジスタ(TFT)を含む請求項4に記載の像形成装置。

13. 上記リセット手段は、第2の薄膜トランジスタ(TFT)を含む請求項4に記載の像形成装置。

14. 上記第2の薄膜トランジスタ(TFT)は、上記第1電極に接続されたドレイン端子と、リセット電位源に接続されたソース端子と、リセット制御信号源に接続されたゲート端子とを有する請求項13に記載の像形成装置。

15. 上記リセット手段は、上記第1電極に接続されたアノードと、リセット制御信号源に接続されたカソードとを有するダイオードを含む請求項12に記載の像形成システム。

16. a) 入射する放射線を電荷に直接変換するための容量性結合の放射線検出手段と、

b) 上記容量性結合の放射線検出手段に隣接して、上記電荷を蓄積するためのピクセル電極のアレーと、

c) 上記ピクセル電極のアレーの各行を分離する複数の制御ラインと、

d) 上記ピクセル電極のアレーの各列を分離する複数のデータラインと、

e) 次々の制御信号を次々の上記制御ラインに発生するスキャナ手段と、

f) 上記ピクセル電極の各々に接続されたドレイン端子、上記制御ラインの第1の各ラインに接続されたゲート端子、及び上記データラインの各々に接続されたソース端子を有し、上記スキャナ手段が上記制御ラインの各々に上記制御信号を発生するのに応答して上記ピクセル電極から上記データラインへ上記電荷を転送するための複数のTFT読み出しスイッチ手段と、

g) 上記複数のデータラインに接続され、上記データラインから上記電荷の次々の行を受け取って出力するためのマルチプレクサ手段と、

h) 上記ピクセル電極の各々に接続された第1の端子、上記制御ラインの上記第1のラインに隣接する上記制御ラインの更に別の各々に接続された制御端子、及びリセット電位源に接続された第2の端子を有し、上記ピクセル電極の各々を

される請求項17に記載の像形成手段。

30. 上記リセットスイッチ手段の各々は、p+-a-S<sub>i</sub>半導体で形成されたMISトランジスタを含む請求項29に記載の像形成システム。

31. 上記リセットスイッチ手段の各々は、MIMトランジスタを含み、そして上記TFT読み出しスイッチ手段の各々は、A-S<sub>i</sub>半導体で形成される請求項20に記載の像形成手段。

32. 上記ダイオードの各々は、上記ピクセル電極の1つに接続されたp+-a-S<sub>i</sub>より成るアノードと、上記制御ラインの1つに接続されたn+-a-S<sub>i</sub>より成るカソードと、これらアノードとカソードとの間のa-S<sub>i</sub>層とを有する請求項25に記載の像形成システム。

33. 上記リセットスイッチ手段の上記第2端子は、上記データラインの各々に並列な各リセットラインを経て上記リセット電位源に接続される請求項16に記載の像形成システム。

34. 上記リセットスイッチ手段の上記第2端子は、上記制御ラインの各々に並列な各リセットラインを経て上記リセット電位源に接続される請求項16に記載の像形成システム。

# BEST AVAILABLE COPY

特表平10-506230

## 【発明の詳細な説明】

### 放射線像形成パネル

#### 発明の分野

本発明は、一般に、像形成システムに係り、より詳細には、容量性結合の放射線検出器と、この容量性放射線検出器の電位を周期的にリセットするためのリセットスイッチとを組み込んだX線像形成パネルに係る。

#### 先行技術の説明

アモルファスセレン(a-S<sub>e</sub>)は、医療用及び工業用のデジタルX線像形成装置の有望な材料として最近確認されている。このような1つの公知装置が、メディカル・イメージングV1:インツルメンテーションS P I E 1 6 5 1 の第134-143ページ(1992年)に掲載された「アモルファスセレンを用いた放射線学のための大面積ソリッドステート検出器(A Large Area Solid-State Detector for Radiology Using Amorphous Selenium)」と題する論文に述べられている。この論文には、セレン(S<sub>e</sub>)プレートに高電圧を印加してX線の高い変換効率を得るデジタルX線像形成装置が説明されている。S<sub>e</sub>フィルムの厚みにもよるが、DCバイアス電圧は、数千ボルト以上になる。S<sub>e</sub>フィルムに高電圧を使用すると、X線変換プレートに接続された半導体装置に重大な危険が譲せられる。

このような危険を回避する1つの解決策は、読み出し回路とS<sub>e</sub>フィルムとの間に絶縁体を挿入することにより信号検出回路から高電圧部分を分離することを含む。S<sub>e</sub>フィルム及び絶縁体を含むX線像形成装置(電極/S<sub>e</sub>/絶縁体/読み出し回路又は読み出し回路/S<sub>e</sub>/絶縁体/電極)が、ジャーナル・オブ・アプライド・フォトグラフィック・エンジニアリング、第4巻、第4号、1978年秋に掲載されたD. M. コーン氏等の「電子写真及び電子放射線写真像を電子的に読み出す方法(A Method of Electronic Readout of Electrophotographic and Electroradiographic Images)」と題する論文、及びS P I E、第173巻、アプリケーション・オブ・オプチカル・インツルメンテーション・アンド・メディシンV1、第81-87ページ(1979年)に掲載されたA. ザーメロ氏等の「静電像のレーザ読み出し(Laser Readout of Electrostatic Images)」

図4は、好ましい実施形態による単一ピクセルのレイアウト図である。

図5は、図4のA-B線に沿った断面図である。

図6は、本発明の第1の別の実施形態による単一ピクセルの断面図である。

図7は、本発明の第2の別の実施形態による単一ピクセルの断面図である。

図8は、本発明の第3の別の実施形態による単一ピクセルの断面図である。

図9は、本発明の第4の別の実施形態による単一ピクセルの断面図である。

図10は、更に別の実施形態によるセンサレーの回路図である。

図11は、図3に示されたセンサレーのタイミング図である。

#### 好ましい実施形態の詳細な説明及び公知技術の異なる説明

上記のように、公知のデジタルX線像形成装置は、X線像のリアルタイム収集に対して充分に高い速度を達成し得ないという欠点がある。公知技術のこの欠点については、2つの原因がある。まず第1に、S<sub>e</sub>フィルムにまたがって印加されたバイアス電圧に対し暗電流及び光電流を示した図1のグラフを参照すれば、これら暗電流及び光電流は、S<sub>e</sub>フィルムにまたがるバイアス電圧の減少に伴い急激に低下することが明らかである。これは、S<sub>e</sub>フィルムを完全に放電するのに長時間を要するか、又は大きな減衰過程を生じることを示唆している。このような特性は、X線透視又はX線テレビジョンの間に経験するような低線量X線の場合に重大なものとなる。第2に、付加的な電子ノイズや空気放電の問題を招くことなく、30Hzの映像周波数において例えば2000Vないし-2000Vの高いバイアス電圧をS<sub>e</sub>バイアス電圧回路で切り換えることは困難である。更に、高電圧パルスが絶縁体を経て信号読み出し回路へ流れ込む。このため、公知システムにおいてS<sub>e</sub>フィルムと読み出し回路との間に挿入された絶縁体は、静電界又は電界のDC成分から読み出し回路を絶縁できるだけであって、時間と共に変化する電界(即ち、電界のAC成分)から読み出し回路を絶縁することはできない。それ故、公知装置では、S<sub>e</sub>フィルムのバイアス電圧をゆっくりと変化させて、差の電圧を減少しなければならない。公知装置をこのように動作することは、応答時間を増加させる。

図2は、本発明によるX線像形成アレーにおける単一ピクセルの等価回路を示している。この回路は、複数の並列な制御ライン7の1つに接続された制御端子

と題する論文に説明されている。更に、ゼロックス社の米国特許第5,017,989号は、電極/S<sub>e</sub>/絶縁体/読み出し回路の構成を示している。この公知特許においては、像形成信号を增幅及び出力するためには絶縁フィルム上に敷設された薄膜トランジスタ(TFT)の使用に改善が示されている。

上記した全ての公知装置においては、信号電圧が読み出し回路に容量性結合される。従って、読み出し回路は、S<sub>e</sub>フィルムの電位を自動的にリセットすることができない(即ち、非破壊読み出し)。読み出しの後に、S<sub>e</sub>フィルムのバイアス電圧を反転して、信号の電荷を逆転させ、これにより、S<sub>e</sub>フィルムの電位をリセットしそしてパネルを次のX線露光に対して準備しなければならない。

上記した公知装置各々の著しい欠点は、X線像のリアルタイム収集を実質的に行うことができない(即ち、映像速度信号を得るために高速動作(例えば、30フレーム/秒)を達成することができない)点である。

この欠点は、「好ましい実施形態の詳細な説明及び公知技術の異なる説明」において詳細に述べる2つの理由で生じる。

#### 発明の要旨

本発明によれば、放射線感知フィルム(例えば、a-S<sub>e</sub>)と、この放射線感知フィルムをリセットするためのリセット電位源とにスイッチが接続された高い読み出し速度のリアルタイム放射線像形成パネルが提供される。従って、本発明の放射線像形成パネルは、公知技術とは対照的に、高い感度及び高い速度応答で信号読み出しを行う。更に、高電圧及び大電流裕度をもつリセット回路を組み込むことにより、回路動作の信頼性が改善される。

#### 図面の簡単な説明

以下、添付図面を参照し、公知技術及び本発明の好ましい実施形態を詳細に説明する。

図1は、公知技術で知られたように、S<sub>e</sub>フィルムに印加されるバイアス電圧に対して光電流及び暗電流を示したグラフである。

図2は、本発明による像形成アレーの単一ピクセルの等価回路図である。

図3は、本発明による多数のピクセルを組み込んだ像形成センサレーの回路図である。

と、複数の並列なデータライン6の1つに接続された出力端子と、キャバシタンスC<sub>s</sub>を有する蓄積キャバシタ2に接続された入力端子とを有する読み出しスイッチ1を備えている。蓄積キャバシタ2は、放射線検出器4及びリセットスイッチ3に接続される。以下に詳細に述べる好ましい実施形態のように、放射線検出器4がS<sub>e</sub>の厚膜よりも成る場合には、キャバシタンスをC<sub>s</sub>と表す。

動作に際し、放射線検出器4にはバイアス電圧が印加され、放射線(例え、X線)に曝されたときに、放射線検出器4に電荷(例え、電子とホール)が発生してキャバシタ2に蓄積されるようになる。垂直スキャナ(図3)は、制御ライン7の次の1つに制御信号を発生し、ピクセルアレーの読み出しスイッチの次々の行をイネーブルし(例え、図3)、蓄積キャバシタ2の次々の行を放電する。各キャバシタ2からの信号電荷は、図3を参照して以下で詳細に述べるように、その後の読み出しがためにデータライン6に送られる。

信号電荷の収集効率は、キャバシタ2の蓄積キャバシタンスと放射線検出器4のキャバシタンスとの比に比例する(即ち、放射線検出器4がS<sub>e</sub>から形成される場合には、収集効率は、C<sub>s</sub>/(C<sub>s</sub>+C<sub>e</sub>)により与えられる)。

上記のように、信号電荷は、読み出しスイッチ1に容量性結合されるので、読み出しスイッチは、放射線検出器4の電位を自動的にリセットすることができない。従って、公知システムにおいては、放射線検出器4に印加されるバイアス電圧を逆転して、信号電荷を逆にし、これにより、放射線検出器4(例え、S<sub>e</sub>フィルム)の電位をリセットしている。

しかしながら、本発明によれば、スイッチ3が放射線検出器4及び蓄積キャバシタ2に接続されて、放射線検出器4にまたがる電位(即ち、バイアス電圧)を所定の電圧(例え、接地又は他の適当なリセット電圧)へ迅速にリセットし、これにより、センサのリアルタイム動作を容易にする。以下に詳細に述べるように、スイッチ3は、TFT、ダイオード、MIM(金属-絶縁体-金属)又はMIS(金属-絶縁体-半導体)として構成されてもよいし、或いは他の適当なスイッチング技術によって構成されてもよい。

図3を参照すれば、複数のセンサピクセルが示されている(即ち、図3の代表的なアレーでは、このようなピクセルが4つ示されているが、実際には、典型的

# BEST AVAILABLE COPY

特表平10-506230

なアレーは、長方形アレーに配列された複数のピクセルを含む)。

図3の実施形態において、リセットスイッチ3は、放射線検出器4の一方の端子に接続されたTFTとして形成される(他方の端子は、図示されていないが、図5ないし9を参照して以下に詳細に述べるように、全センサアレーの上に横たわり、そして高いDCバイアス電圧のソースに接続される)。各リセットスイッチ3の他方の端子は、リセット電位VRに接続されたりセットソースライン5に接続される。

上記のように、制御ライン7の次のラインが垂直スキャナ8に接続されて、制御ライン7の次のラインに制御パルスを発生するが、これについては図11を参照して以下に詳細に述べる。

マルチブレクサ9の形態の読み出し回路が設けられており、これは、その複数の入力に接続された複数の電荷積分増幅器14を有している。各増幅器14は、センサアレーのデータライン6の1つに接続され、データラインにより搬送される電荷を良く知られた仕方で積分し、そしてそれを表す出力信号をマルチブレクサ9に付与する。次いで、マルチブレクサ9は、走査されたセンサの次の行をその後の処理(例えば、A/D変換、デジタル信号処理、像表示、等)のために直列な出力流へとマルチブレクサする。電荷積分増幅器14、垂直スキャナ8及びマルチブレクサ9の動作は、当業者に明らかであろう。

図3と共に図11を参照して、センサアレーの動作を簡単に説明する。図11は、垂直スキャナ8により発生される制御信号と、付加的な制御回路(図示されていないが、標準設計)により発生される読み出し及びリフレッシュ信号などを示している。キャバシタ2に蓄積された電荷は、スキャナ8がTFT読み出しスイッチ1の次の行をイネーブルするのに応答して、行ごとのベースでデータライン6に転送される。従って、図11に示すように、読み出しスイッチ1の第1の行は、垂直スキャナ8が制御パルス( $\phi_{y1}$ )を発生するのに応答してイネーブルされる。

次いで、各蓄積キャバシタ2からデータライン6に転送された電荷は、電荷積分増幅器14を経て積分され、そしてマルチブレクサ9へ送られる。

増幅器14の各々によりマルチブレクサ9へ送られた電荷は、複数の次の付

数の列とで画成される。これらライン70及び6は、通常の仕方でCrから作られるのが好ましい。ゲートライン70は、個々のゲート73がアクティブなピクセルエリアへ延びるためにガラス基板10に付着される。ゲート73及び基板10の上には絶縁層11(例えば、SiO<sub>2</sub>又はa-SiN)の層が付着される。絶縁層11の上にはリセットスイッチ3の個々のCrゲート72が付着され、接点経路71を経て制御ライン70に接続する。

絶縁層11の上には、CdSe半導体12の層が付着され、読み出しスイッチ1のゲート73の上に横たわる。絶縁層11の上には、データライン6(これもCrから作られる)及び下部ピクセル電極21(これもCrから作られる)が、半導体領域12と接触するよう付着される。リセットスイッチ3のゲート72、データライン6、半導体領域12、下部ピクセル電極21、及びその下の絶縁層11の上には、a-SiNの更に別の絶縁層20が付着される。

次いで、この絶縁層20の上には、リセットスイッチ3のソースライン5及び上部ピクセル電極22が付着され、そして更に別の半導体領域30(好ましくはCdSe)が付着されて、ソースライン5及び上部ピクセル電極22に接觸すると共に、リセットスイッチ3のゲート72と実質的に並列される。

次いで、全アレーの上にa-Seの層40が付着され、その後、CeO<sub>2</sub>のブロッキング層41及びAlの上部電極即ち接点72が付着され、これは、上部ピクセル電極22と組み合わされて、a-Se層40に高いDCバイアス電圧を印加するに使用される。

第2のゲート誘電体フィルム2.0(好ましくはa-SiNで作られた)は、高い誘電率(例えば、約9)を伴って厚く(例えば、500nmないし1000nm)作られるので、ピクセル電極22とTFT読み出しスイッチ1との間のブレークダウン電圧は、非常に高い。

上記したように、信号電荷の収集効率は、Cs/(Cs+Cse)で与えられる。放射線検出のためのSeフィルム40の厚みは、約300μmであるから、本発明の設計では、98%以上の信号電荷を読み出すことができる。

図4及び5に示されたTFT構造は、本発明を実現するのに適した多数の種々のTFT構造の1つに過ぎない。

加的な制御信号 $\phi_{xj}$ 、 $\phi_{xj+1}$ 、 $\phi_{xj+2}$ 等を発生する外部コントローラに応答してマルチブレクサされて直列フォーマットでマルチブレクサ9から読み出され、これにより、各ピクセルセンサに現れる像データが次々に読み出される(即ち、直列出力)。電荷積分増幅器14の積分キャバシタは、次いで、外部コントロール回路が正のリフレッシュパルス信号( $\phi_r$ )を発生するのに応答してリセットされる。

次いで、垂直スキャナ8がピクセルセンサの第2の行に別の制御パルス( $\phi_{y1+1}$ )を発生するのに応答して蓄積キャバシタ2の第2の行が放電され、その電荷がデータライン6へ転送され、そして増幅器14を経て積分され、マルチブレクサ9へ付与され、その後に読み出される。しかしながら、図3から明らかのように、制御パルス $\phi_{y1+1}$ が発生されたときには、TFTリセットスイッチ3は、その手前の行においてもイネーブルされ、その手前の行全体の放射線検出器4の電位をリセットする。

このときのリセット動作は、蓄積キャバシタ2を完全にリフレッシュできないことに注意されたい。というのは、手前の行のTFTリセットスイッチ1がオフに切り換えられており、従って、スイッチ1側のキャバシタ2の端子が電気的に浮いており、その電位が反対の端子の電位と共に変動するからである。キャバシタ2に対する完全なリセット動作は、像形成バネルの全てのピクセルが読み出された後に行われる。

この読み出し及びリセットプロセスは、垂直スキャナがセンサアレーの次の制御ライン7に次々の付加的な制御パルス(例えば、 $\phi_{y1+2}$ 等)を発生するのに応答してセンサアレーの全てのその後の行に対して繰り返される。

垂直スキャナ8が各行のセンサの電荷を読み出すようにすると(即ち、1つのフレーム像の後に)、垂直スキャナ8は、更に別の高電圧レベル制御パルスを全制御ライン7に発生し、これにより、一度に全てのピクセルをリセットする。

図4及び5は、各自、本発明の好ましい実施形態による1つのピクセルのレイアウト及びピクセルの断面を示す。

図2及び3を参照して上記したように、センサアレーは、制御ライン7(図4にはゲートバスライン70で示されている)の複数の行と、データライン6の複

数の列とで画成される。これらライン70及び6は、通常の仕方でCrから作られるのが好ましい。ゲートライン70は、個々のゲート73がアクティブなピクセルエリアへ延びるためにガラス基板10に付着される。ゲート73及び基板10の上には絶縁層11(例えば、SiO<sub>2</sub>又はa-SiN)の層が付着される。絶縁層11の上にはリセットスイッチ3の個々のCrゲート72が付着され、接点経路71を経て制御ライン70に接続する。

絶縁層11の上には、CdSe半導体12の層が付着され、読み出しスイッチ1のゲート73の上に横たわる。絶縁層11の上には、データライン6(これもCrから作られる)及び下部ピクセル電極21(これもCrから作られる)が、半導体領域12と接触するよう付着される。リセットスイッチ3のゲート72、データライン6、半導体領域12、下部ピクセル電極21、及びその下の絶縁層11の上には、a-SiNの更に別の絶縁層20が付着される。

次いで、この絶縁層20の上には、リセットスイッチ3のソースライン5及び上部ピクセル電極22が付着され、そして更に別の半導体領域30(好ましくはCdSe)が付着されて、ソースライン5及び上部ピクセル電極22に接觸すると共に、リセットスイッチ3のゲート72と実質的に並列される。

この設計では、ゲート制御パルスと同期するが異なる電圧レベルをもつ駆動パルス波をソースライン5に付与して、リセットスイッチ3のオン電流を増加しそしてオフ電流を減少できるようにする。

本発明の更に別の実施形態及び変更も考えられる。例えば、上記実施形態は、良く知られたマルチブレクサの読み出しを参照したが、各ピクセルに内蔵TFT増幅器をもつTFT読み出しアレー、レーザビーム走査読み出し、電気的輝度フィルムをもつ液晶又はソリッドステート像增强器を用いた空間的光変調読み出し(即ち、光バルブ)等のような別の読み出し回路及び装置を使用してもよい。このような変更及び修正は、全て、請求の範囲に規定された本発明の精神及び範囲内に包含されるものとする。

【図1】

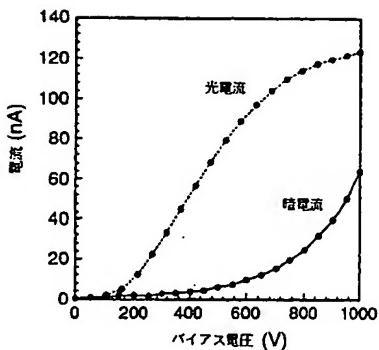


FIG.1. 従来例

【図2】

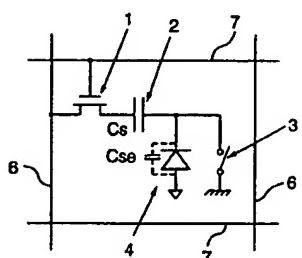


FIG.2.

【図3】

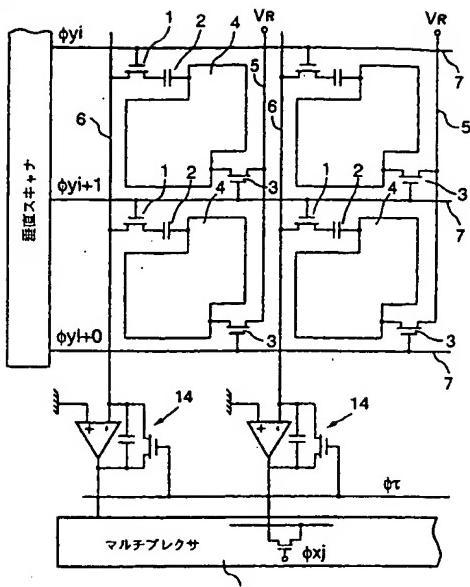


FIG.3.

【図4】

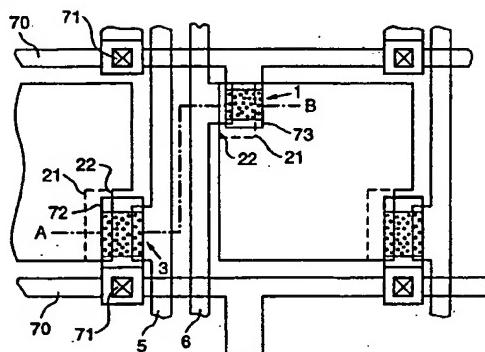


FIG.4.

【図5】

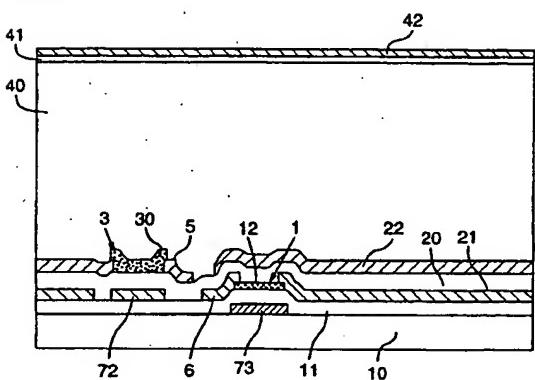


FIG.5.

[図6]

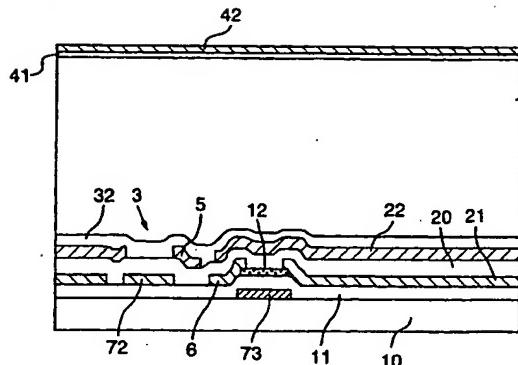


FIG.6.

[図7]

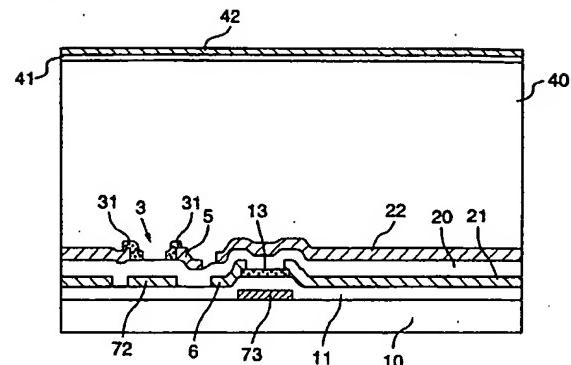


FIG.7.

[図8]

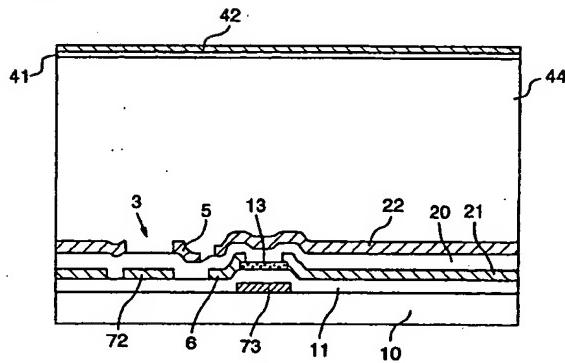


FIG.8.

[図10]

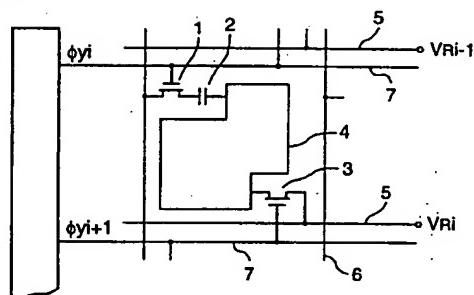


FIG.10.

[図9]

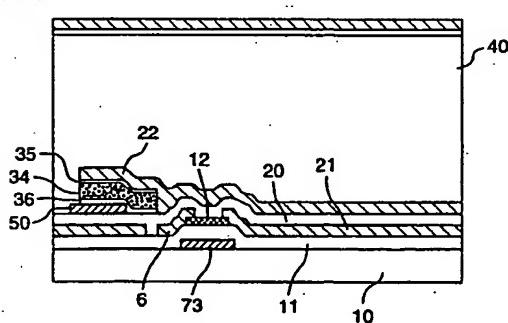


FIG.9.

[図11]

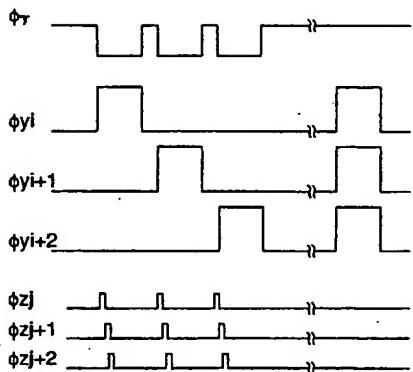


FIG.11.

【手続書正書】特許法第184条の7第1項

【提出日】1995年2月13日

【補正内容】

## 請求の範囲

1. a) 入射する放射線を電荷に直接変換するための容量性結合の放射線検出手段と、  
b) 上記電荷を蓄積するために上記容量性結合の放射線検出手段に接続された蓄積キャバシタ手段のアレーと、  
c) 上記蓄積キャバシタ手段の各々に蓄積された上記電荷を周囲的に出力するため上記蓄積キャバシタ手段の各々に接続された複数の読み出し手段と、  
d) 上記電荷の上記出力と同期して各々の上記蓄積キャバシタの次々の隣接するキャバシタをリセットして、上記容量性結合の放射線検出手段を迅速に放電するため上記蓄積キャバシタ手段の各々に接続された複数のリセット手段とを備えたことを特徴とする放射線像形成システム。
  2. 上記容量性結合の放射線検出手段は、高電圧DCバイアスされたa-S<sub>e</sub>フィルムより成る請求項1に記載の像形成システム。
  3. 上記a-S<sub>e</sub>フィルムは、約300μm厚みである請求項2に記載の像形成システム。
  4. 上記蓄積キャバシタ手段の各々は、上記a-S<sub>e</sub>フィルムに隣接する第1の電極と、この第1の電極と反対の第2の電極と、これら第1電極と第2電極との間の誘電体層とを備えた請求項2に記載の像形成システム。
  5. 上記容量性結合の放射線検出手段の各々は、高電圧DCバイアスされたa-S<sub>i</sub>フィルムより成る請求項1に記載の像形成システム。
  6. 上記リセット手段の各々は、薄膜トランジスタ(TFT)を備えた請求項1に記載の像形成システム。
  7. 上記リセット手段の各々は、ダイオードを備えた請求項1に記載の像形成システム。
  8. 上記リセット手段の各々は、金属一絶縁体一金属(MIM)トランジスタを備えた請求項1に記載の像形成システム。
  9. 上記リセット手段の各々は、金属一絶縁体一半導体(MIS)トランジスタを備えた請求項1に記載の像形成システム。
  10. 上記ダイオードは、アモルファシリコンp-i-nダイオードである
- 請求項7に記載の像形成システム。
11. 上記読み出し手段の各々は、薄膜トランジスタ(TFT)を備えた請求項1に記載の像形成システム。
  12. 上記読み出し手段の各々は、更に、上記第1の電極に接続されたドレイン端子と、データ読み出しラインに接続されたソース端子と、読み出し制御信号源に接続されたゲート端子とを有する第1の薄膜トランジスタ(TFT)を備えた請求項4に記載の像形成装置。
  13. 上記リセット手段の各々は、第2の薄膜トランジスタ(TFT)を備えた請求項4に記載の像形成装置。
  14. 上記第2の薄膜トランジスタ(TFT)は、上記第1電極に接続されたドレイン端子と、リセット電位源に接続されたソース端子と、リセット制御信号源に接続されたゲート端子とを有する請求項13に記載の像形成装置。
  15. 上記リセット手段の各々は、上記第1電極に接続されたアノードと、リセット制御信号源に接続されたカソードとを有するダイオードを備えた請求項12に記載の像形成システム。
  16. a) 入射する放射線を電荷に直接変換するための容量性結合の放射線検出手段と、  
b) 上記容量性結合の放射線検出手段に隣接して、上記電荷を蓄積するためのピクセル電極のアレーと、  
c) 上記ピクセル電極のアレーの各行を分離する複数の制御ラインと、  
d) 上記ピクセル電極のアレーの各列を分離する複数のデータラインと、  
e) 次々の制御信号を次々の上記制御ラインに発生するスキャナ手段と、  
f) 上記ピクセル電極の各々に接続されたドレイン端子、上記制御ラインの第1の各ラインに接続されたゲート端子、及び上記データラインの各々に接続されたソース端子を有し、上記スキャナ手段が上記制御ラインの各々に上記制御信号

26. 上記a-S<sub>e</sub>フィルムの上に横たわるA<sub>i</sub>層を更に備え、上記a-S<sub>e</sub>フィルムは、このA<sub>i</sub>層と上記第1電極との間に印加される高いDC電圧により高電圧DCバイアスされる請求項19に記載の像形成システム。

27. 上記A<sub>i</sub>層と上記a-S<sub>e</sub>フィルムの中間にCeO<sub>2</sub>のブロッキング層を更に備えた請求項26に記載の像形成システム。

28. 上記TFT読み出しスイッチ手段の各々は、CdSe半導体領域で形成される請求項16に記載の像形成手段。

29. 上記TFT読み出しスイッチ手段の各々は、a-Si半導体領域で形成される請求項17に記載の像形成手段。

30. 上記リセットスイッチ手段の各々は、p+-a-Si半導体で形成されたMISトランジスタを含む請求項29に記載の像形成システム。

31. 上記リセットスイッチ手段の各々は、MIMトランジスタを含み、そして上記TFT読み出しスイッチ手段の各々は、A-Si半導体で形成される請求項20に記載の像形成手段。

32. 上記ダイオードの各々は、上記ピクセル電極の1つに接続されたp+-a-Siより成るアノードと、上記制御ラインの1つに接続されたn+-a-Siより成るカソードと、これらアノードとカソードとの間のa-Si層とを有する請求項25に記載の像形成システム。

33. 上記リセットスイッチ手段の上記第2端子は、上記データラインの各々に並列な各リセットラインを経て上記リセット電位源に接続される請求項16に記載の像形成システム。

34. 上記リセットスイッチ手段の上記第2端子は、上記制御ラインの各々に並列な各リセットラインを経て上記リセット電位源に接続される請求項16に記載の像形成システム。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

Inten. App. No.  
PCT/CA 94/00407

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H01L27/146

According to International Patent Classification (IPC) or to both national classifications and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbol)  
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US,A,5 017 989 (STREET ET AL.) 21 May 1991 cited in the application see the whole document ---	1,5,9,11
Y	SPIE, MEDICAL IMAGING VI: INSTRUMENTATION, vol.1651, 1992 pages 134 - 143 WEI ZHAO ET AL. 'A LARGE AREA SOLID-STATE DETECTOR FOR RADIOLOGY USING AMORPHOUS SELENIUM' cited in the application see the whole document ---	2-4,12
Y	EP,A,0 296 603 (CANON KABUSHIKI KAISHA) 28 December 1988 see column 1, line 38 - column 2, line 28; figures 1-3 ---	2-4,12
A	EP,A,0 296 603 (CANON KABUSHIKI KAISHA) 28 December 1988 see column 1, line 38 - column 2, line 28; figures 1-3 ---	6
		-/-

 Further documents are listed in the continuation of box C. Patent family members are listed in annex.

## \* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubt on priority (claim(s)) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*V\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- \*a\* document member of the same patent family

Date of the actual completion of the international search

28 November 1994

Date of mailing of the international search report

12.12.94

Name and mailing address of the ISA  
European Patent Office, P.B. 5018 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 346-2040, Tx. 31 631 epo nl,  
Fax: (+31-70) 346-3016

Authorized officer

Onshage, A

## INTERNATIONAL SEARCH REPORT

International Application No
PCT/CA 94/00407

C(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 588 397 (PHILIPS ELECTRONICS N.V.) 23 March 1994 see the whole document -----	1-34
A	US,A,5 198 673 (ROUGEOT ET AL.) 30 March 1993 see the whole document -----	1-34

Form PCT/ISA/218 (continuation of search sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

Intell.	Application No
PCT/CA 94/00407	

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US-A-5017989	21-05-91	EP-A-	0437041	17-07-91
		JP-A-	3185865	13-08-91
EP-A-0296603	28-12-88	JP-A-	1005055	10-01-89
		JP-A-	1005056	10-01-89
		JP-A-	1005058	10-01-89
		JP-A-	1005059	10-01-89
		JP-A-	1005060	10-01-89
EP-A-0588397	23-03-94	DE-A-	4227096	24-02-94
		JP-A-	6209097	26-07-94
US-A-5198673	30-03-93	NONE		

Form PCT/ISA/210 (patent family search) (July 1992)